

Reference Number NBC1012016

Dispatch Number 080392

Dispatch Date Mar/8/2005

Decision of Refusal

Patent Application No. Patent application No.2001-363754

Drafting Date Mar/1/2005

Examiner of JPO Hiroyuki HATANAKA 9180 5J00

Title of the Invention VARIABLE GAIN DIFFERENTIAL
AMPLIFIER AND MULTIPLICATION
CIRCUIT

Applicant SANYO ELECTRIC CO., LTD.

Representative Yoshito Fukushima

This application should be refused for the reasons as stated in the notification of reason(s) for refusal dated April 9, 2004.

The argument and amendment have been examined, but no basis sufficient to overthrow the previously given reason(s) for refusal has been found.

Remarks:

The Applicant has insisted in his argument that "The mere combination of the cited references 1 to 3 cannot realize the conception of such an effect of the present invention that if a plurality of first switching elements and at least one second

switching element in a variable impedance circuit are turned on/off complementarily with each other, which is the feature of the present invention, it is possible to increase the gain and reduce noise when receiving a small signal while reducing distortion when receiving a large signal. It is thus apparent that such a combination of the cited references is completely different from the present invention."

However, the variable impedance circuit that includes a plurality of switching elements and at least one second switching element turned on/off complementarily with each other is well-known in this technical field (e.g., see JP 60-160717 A, JP 9-46176 A).

Therefore, it could have easily been made by persons skilled in the art to apply the variable impedance circuit recited in the previous cited reference 3 and well-known art to the variable gain differential amplifier recited in the cited reference 1 or 2 as indicated in the previous reasons for refusal so as to make the plurality of first switching elements and at least one second switching element in the variable impedance circuit turned on/off complementarily with each other.

Also, the effect as accomplished by the present invention can be fully expected from the recitation of each of the previous cited references and the well-known art as stated above, and is thus not special.

Accordingly, the present invention could have easily been

made by persons skilled in the art based on the recitation of each of the previous cited references and well-known art.

拒絶査定

特許出願の番号	特願 2001-363754
起案日	平成 17 年 3 月 1 日
特許庁審査官	畠中 博幸 9180 5J00
発明の名称	可変利得型差動増幅回路および乗算回路
特許出願人	三洋電機株式会社
代理人	福島 祥人

この出願については、平成 16 年 4 月 9 日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものである。

なお、意見書並びに手続補正書及の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

出願人は意見書において、「引用文献 1 乃至 3 をただ単に組み合わせたとしても、本願発明の特徴とする、可変インピーダンス回路の複数の第 1 のスイッチング素子および少なくとも 1 つの第 2 のスイッチング素子が互いに相補的にオンオフされることにより、高周波領域においても微小信号入力時の高利得化および低雑音化を実現するとともに大信号入力時の低歪み化を実現することができると云う効果について想到できるものではなく、本願発明とは全く異なるものであることは明白です」と主張している。

しかしながら、複数の第 1 のスイッチング素子および少なくとも 1 つの第 2 のスイッチング素子を互いに相補的にオンオフさせる可変インピーダンス回路は当該技術分野において周知（例えば、特開昭 60-160717 号公報、特開平 9-46176 号公報、各参照。）である。

したがって、先の拒絶理由に示した引用文献 1 又は 2 に記載された可変利得型差動増幅器に、先の引用文献 3 に記載された可変インピーダンス回路及び周知技術を適用し、可変インピーダンス回路の複数の第 1 のスイッチング素子および少なくとも 1 つの第 2 のスイッチング素子を互いに相補的にオンオフさせることは当業者が容易になし得たことである。

そして、本願発明の奏する効果も、先の各引用文献記載のもの及び上記周知技術から十分に予測できる範囲のものであって格別なものとはいえない。

よって、本願発明は、先の各引用文献に記載されたもの及び周知技術に基づいて当業者が容易に発明し得たものである。

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成17年 3月 2日 経済産業事務官 平瀬 恵美子